

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 4月11日
Date of Application:

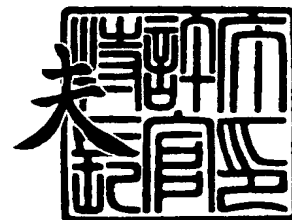
出願番号 特願2003-107680
Application Number:
[ST. 10/C]: [JP 2003-107680]

出願人 三菱電機株式会社
Applicant(s):

2003年11月25日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



出証番号 出証特2003-3097066

【書類名】 特許願

【整理番号】 543868JP01

【提出日】 平成15年 4月11日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/015
H04B 10/28

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 八田 竜夫

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 岡田 規男

【特許出願人】

【識別番号】 000006013

【住所又は居所】 東京都千代田区丸の内二丁目2番3号

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【選任した代理人】

【識別番号】 100098280

【弁理士】

【氏名又は名称】 石野 正弘

【手数料の表示】

【予納台帳番号】 163028

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 差動駆動型半導体光変調器

【特許請求の範囲】

【請求項 1】 一対の差動信号を出力する第 1 出力端子および第 2 出力端子を有する差動駆動回路と、

第 1 出力端子に接続された第 1 伝送線路、第 2 出力端子に接続された第 2 伝送線路、およびグランド線路を有する伝送線路基板と、

伝送線路基板の上に搭載され、第 1 伝送線路とグランド線路との間に接続された第 1 半導体変調素子と、

伝送線路基板の上に搭載され、第 2 伝送線路とグランド線路との間に接続された第 2 半導体変調素子とを備え、

第 1 半導体変調素子および第 2 半導体変調素子は同じ光軸に沿って直列的に配置されており、

伝送線路基板において、第 1 伝送線路の終端とグランド線路との間に接続された第 1 終端抵抗と、第 2 伝送線路の終端とグランド線路との間に接続された第 2 終端抵抗と、第 1 半導体変調素子と第 1 終端抵抗との間に介在する第 1 インダクタンスと、第 2 半導体変調素子と第 2 終端抵抗との間に介在する第 2 インダクタンスとが設けられることを特徴とする差動駆動型半導体光変調器。

【請求項 2】 第 1 半導体変調素子は、第 2 半導体変調素子よりも光軸の光入射側に配置され、

第 1 半導体変調素子の光路長は第 2 半導体変調素子の光路長より短いことを特徴とする請求項 1 記載の差動駆動型半導体光変調器。

【請求項 3】 第 1 半導体変調素子、第 2 半導体変調素子、および第 1 半導体変調素子と第 2 半導体変調素子を光学的に接続する光導波路が一体的に集積化された光変調集積素子を備えることを特徴とする請求項 1 記載の差動駆動型半導体光変調器。

【請求項 4】 第 1 半導体変調素子および第 2 半導体変調素子の各駆動電極は、光変調集積素子の主面に配置されていることを特徴とする請求項 3 記載の差動駆動型半導体光変調器。

【請求項 5】 光変調集積素子は、伝送線路基板の上にフリップチップ実装されていることを特徴とする請求項 4 記載の差動駆動型半導体光変調器。

【請求項 6】 第 1 インダクタンスおよび第 2 インダクタンスは、各伝送線路パターンが細くなった部分で構成されていることを特徴とする請求項 1 記載の差動駆動型半導体光変調器。

【請求項 7】 第 1 半導体変調素子および第 2 半導体変調素子は、第 1 インダクタンスおよび第 2 インダクタンスの上に近接配置されていることを特徴とする請求項 6 記載の差動駆動型半導体光変調器。

【請求項 8】 第 1 伝送線路および第 2 伝送線路の少なくとも一方に、線路長の相違による電気遅延部が設けられることを特徴とする請求項 1 記載の差動駆動型半導体光変調器。

【請求項 9】 第 1 伝送線路および第 2 伝送線路の少なくとも一方に、信号位相を反転させる位相反転素子が設けられることを特徴とする請求項 1 記載の差動駆動型半導体光変調器。

【請求項 10】 差動駆動回路からの差動信号は、R Z 信号であることを特徴とする請求項 1 記載の差動駆動型半導体光変調器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、光通信システムの光変調器として好適な差動駆動型半導体光変調器に関する。

【0002】

【従来の技術】

光通信システムにおいて、電気信号に応じて光を変調する光変調器が用いられており、変調速度の高速化を図ることにより信号伝送量を改善できる。

【0003】

関連する先行技術として、下記のものが挙げられる。

【特許文献 1】

米国特許第 5 9 3 0 0 2 2 号明細書

【特許文献 2】

特開 2 0 0 2 - 2 7 7 8 4 0 号公報

【特許文献 3】

特開 2 0 0 2 - 2 9 6 5 5 2 号公報

【非特許文献 1】

Hiroaki Takeuchi et al., "High-speed Electroabsorption Modulators with Traveling-Wave Electrodes", OFC2002 Technical Digest WV1, 2002

【0 0 0 4】

【発明が解決しようとする課題】

特許文献 1 には、電界吸収 (E A) 型光変調器の駆動回路として差動増幅回路を用いた例が記載されており、一方の差動 F E T のドレインには負荷抵抗が接続され、他方の差動 F E T のドレインには、E A 素子と可変インピーダンス回路の並列回路が接続されている。しかし、差動出力の一方だけを駆動信号として利用し、差動出力の他方は何ら使用していないため、消費電力や電圧利用効率の点で不利である。

【0 0 0 5】

また特許文献 2 には、伝送線路基板と、半導体光変調素子と、終端抵抗基板とが別個に搭載され、これらが相互にワイヤで接続された光モジュールが記載されている。

【0 0 0 6】

また特許文献 3 には、光軸に沿って 2 個の電界吸収型光変調素子が直列配置され、一方の光変調素子に N R Z (NonReturn to Zero) データ信号を供給し、他方の光変調素子にクロック信号を供給することによって、光学的に R Z (Return to Zero) 符号化を行う電界吸収型光変調器が記載されている。

【0 0 0 7】

非特許文献 1 には、半導体光変調器を長くした場合、光変調器の特性インピーダンスを $50\ \Omega$ に設計することにより、変調帯域の劣化を防止できることが記載されている。しかし、製造プロセスが超微細になるため、変調器の作製が困難であり、そのわりには十分な性能が得られない。

【0008】

本発明の目的は、高い消光比で良好な光変調波形が得られ、変調周波数帯域を大幅に向上できる差動駆動型半導体光変調器を提供することである。

【0009】

【課題を解決するための手段】

本発明に係る差動駆動型半導体光変調器は、一对の差動信号を出力する第1出力端子および第2出力端子を有する差動駆動回路と、

第1出力端子に接続された第1伝送線路、第2出力端子に接続された第2伝送線路、およびグランド線路を有する伝送線路基板と、

伝送線路基板の上に搭載され、第1伝送線路とグランド線路との間に接続された第1半導体変調素子と、

伝送線路基板の上に搭載され、第2伝送線路とグランド線路との間に接続された第2半導体変調素子とを備え、

第1半導体変調素子および第2半導体変調素子は同じ光軸に沿って直列的に配置されており、

伝送線路基板において、第1伝送線路の終端とグランド線路との間に接続された第1終端抵抗と、第2伝送線路の終端とグランド線路との間に接続された第2終端抵抗と、第1半導体変調素子と第1終端抵抗との間に介在する第1インダクタンスと、第2半導体変調素子と第2終端抵抗との間に介在する第2インダクタンスとが設けられることを特徴とする。

【0010】

【発明の実施の形態】

実施の形態1.

図1は、本発明の第1実施形態を示す斜視図である。差動駆動型半導体光変調器は、チップキャリア10と、チップキャリア10の上に搭載された差動駆動回路20と、チップキャリア10の上に搭載された伝送線路基板30と、伝送線路基板30の上に搭載された光変調集積素子40などで構成される。

【0011】

チップキャリア10は、金属等の導電性材料やセラミック等の電気絶縁材料で

矩形板状に形成され、光変調器全体のベースとなる。

【0012】

差動駆動回路20は、外部からの変調信号に基づいて光変調集積素子40を駆動するための一対の差動信号S_a、S_bを出力する機能を有し、例えばInP基板に多数のトランジスタが集積された集積回路(IC)で構成され、チップキャリア10の上にダイボンドによって実装される。差動駆動回路20の上面には、一方の差動信号S_aを供給する出力パッド22と、他方の差動信号S_bを供給する出力パッド24と、グランド接続用のパッド21、23、25がそれぞれ設けられる。

【0013】

伝送線路基板30は、図3に示すように、セラミック等の電気絶縁材料で矩形板状に形成され、その上面には、グラデッドコプレーナ型の分布定数線路を構成する5本の伝送線路31～35が基板長手方向に沿って設けられる。伝送線路31～35と各パッド21～25とは、ウェッジボンディング等を用いて5本のワイヤ13によって個別に接続される。伝送線路32は出力パッド22からの差動信号S_aを伝送し、伝送線路34は出力パッド24からの差動信号S_bを伝送する。伝送線路31、33、35はグランド線路であり、基板30の終端側で共通接続されている。必要に応じて、伝送線路基板30の側面にもグランド線路が形成される。

【0014】

伝送線路32、34においてワイヤ13の接続部寄りに、DC成分を遮断するためのチップ型コンデンサC1、C2が介在している。

【0015】

また、伝送線路34においてコンデンサC2と光変調集積素子40との間に湾曲した部分が形成され、この湾曲部分によって電気遅延ライン34aを構成している。伝送線路32は直線的であるに対して、伝送線路34は湾曲部分に起因して全体の線路長が長くなるため、伝送線路32と比べて伝送線路34での信号遅延を付与することができる。

【0016】

伝送線路 32, 34 において光変調集積素子 40 から終端寄りに、光変調集積素子 40 にバイアス電圧を供給するためのワイヤ 11, 12 が接続されている。

【0017】

伝送線路 32, 34 の終端側には、グランド線路の共通接続部分との間にインピーダンス整合用の終端抵抗 R1, R2 が薄膜プロセス等を用いて形成され、分布定数線路の特性インピーダンスが $50\ \Omega$ のとき、終端抵抗 R1, R2 も $50\ \Omega$ に設定される。

【0018】

基板 30 の終端側にはスルーホール 39 が形成され、基板 30 の上面と下面との間の電気接続を確保している。

【0019】

図 2 は、図 1 の光変調集積素子 40 を裏面から見た斜視図である。光変調集積素子 40 は、半導体ウエハから切り出された直方体状のチップであり、同じ光軸に沿って直列的に配置された半導体変調素子 41, 42 と、半導体変調素子 41 と半導体変調素子 42 を光学的に接続する光導波路 43 などで構成される。

【0020】

光変調集積素子 40 は、半導体変調素子 41, 42 と光導波路 43 とが一体的に集積化されており、単一チップのモノリシック集積回路として形成することによって、半導体変調素子 41, 42 の光学接続損失を低減でき、電気的には高周波動作が可能になる。また、光変調集積素子 40 の小型化によって、半導体変調素子 41, 42 の駆動信号間の位相ずれが小さくなり、変調パルスの位相整合が容易になる。

【0021】

半導体変調素子 41, 42 は、例えば量子閉じ込めシュタルク効果やフランツケルディッシュ効果を利用した電界吸収 (EA) 型光変調器として構成可能であり、その等価回路は p n 接合ダイオードで表現される。

【0022】

光導波路 43 は、光変調集積素子 40 に入射した入射光 L_i を半導体変調素子 41 へ導波し、半導体変調素子 41 を通過した光を半導体変調素子 42 へ導波し

、半導体変調素子 42 を通過した光を導波して、光変調集積素子 40 からの出射光 L_o として出力する。

【0023】

光変調集積素子 40 の裏面には、半導体変調素子 41 のカソード電極 41e と、半導体変調素子 42 のアノード電極 42e とが独立して設けられ、さらに半導体変調素子 41 のアノード電極および半導体変調素子 42 のカソード電極が共通接続されたコモン電極 45 が 3 箇所設けられる。

【0024】

こうして一方の主面に基板接続用の電極を全て配置することによって、光変調集積素子 40 のフリップチップ実装を実現することができる。また、基板側の線路パターンを適宜変更することによって、半導体変調素子 41、42 の駆動極性を任意に変更できるため、回路設計の自由度が高くなる。

【0025】

図 3 は、図 1 の伝送線路基板 30 を示す斜視図である。伝送線路基板 30 は、例えば誘電率が約 10 のセラミック基板に、蒸着等を用いて Au 薄膜を全面形成し、エッチング等のパターン加工によりストリップ線路を形成したものである。グランド強化のために、基板側面にも Au 薄膜を形成してもよい。

【0026】

上述したように、伝送線路基板 30 の上面には 5 本の伝送線路 31～35 が基板長手方向に沿って設けられる。伝送線路 32、34 は、コンデンサ C1、C2 が搭載される位置で分離している。

【0027】

光変調集積素子 40 の裏面に設けられた各電極の配置に対応して、5 つの接続用パッド 31e～35e が形成される。伝送線路 32 には、光変調集積素子 40 のカソード電極 41e と接続されるパッド 32e が設けられる。伝送線路 34 には、光変調集積素子 40 のアノード電極 42e と接続されるパッド 34e が設けられる。伝送線路 31、33、35 には、3 つのコモン電極 45 とそれぞれ接続される 3 つのパッド 31e、33e、35e が設けられる。

【0028】

光変調集積素子 40 の各電極 41 e, 42 e, 45 および伝送線路基板 30 のパッド 31 e ~ 35 e には Au 等のハンダバンプを予め付着させておいて、図 2 に示した光変調集積素子 40 を上下反転させた状態で伝送線路基板 30 の上に搭載し、ハンダ融点まで加熱すると、電極とパッドの電気接続が完了する。

【0029】

伝送線路 32, 34 においてパッド 32 e, 34 e から終端抵抗 R1, R2 に向けて所定長さだけ伝送線路パターンが細くなった部分をそれぞれ形成しており、この細い部分によってインダクタンス 32 s, 34 s を形成している。

【0030】

図 4 は、本発明の第 1 実施形態の電氣的構成を示す回路図である。差動駆動回路 20 は、エミッタ側が定電流源等に共通接続された差動トランジスタ Qa, Qb と、差動トランジスタ Qa, Qb の各コレクタ側に接続された負荷抵抗 Ra, Rb など構成される。

【0031】

半導体変調素子 41 のカソード側は伝送線路 32 に接続され、半導体変調素子 41 のアノード側はグランド線路に接続される。伝送線路 32 のインダクタンス 32 s と終端抵抗 R1 との間には図 1 のワイヤ 11 を介してバイアス回路 Ba が接続されている。

【0032】

半導体変調素子 42 のアノード側は伝送線路 34 に接続され、半導体変調素子 42 のカソード側はグランド線路に接続される。伝送線路 34 のインダクタンス 34 s と終端抵抗 R2 との間には図 1 のワイヤ 12 を介してバイアス回路 Bb が接続されている。

【0033】

バイアス回路 Ba は、可変抵抗 Ka と、信号周波数帯域で充分高いインピーダンスを示すインダクタンス La との直列回路を有し、その一端が電源ラインに接続されており、可変抵抗 Ka の抵抗値に応じて半導体変調素子 41 に所望の直流バイアス電圧が供給され、半導体変調素子 41 の動作点が最適化される。

【0034】

バイアス回路 B b は、可変抵抗 K b と、信号周波数帯域で充分高いインピーダンスを示すインダクタンス L b の直列回路を有し、その一端が電源ラインに接続されており、可変抵抗 K b の抵抗値に応じて半導体変調素子 4 2 に所望の直流バイアス電圧が供給され、半導体変調素子 4 2 の動作点が最適化される。

【0035】

次に動作を説明する。差動トランジスタ Q a, Q b の各ベースに互いに反転した変調信号が入力されると、差動トランジスタ Q a, Q b の各コレクタから差動信号 S a, S b が出力され、出力パッド 2 2, 2 4 を経由して伝送線路 3 2, 3 4 にそれぞれ供給される。

【0036】

差動信号 S a, S b は、コンデンサ C 1, C 2 によって DC 成分が除去された後、伝送線路 3 2, 3 4 に沿って伝送され、半導体変調素子 4 1, 4 2 を電圧駆動する。伝送線路 3 4 の途中には、電気遅延ライン 3 4 a が存在するため、差動信号 S b は所定の位相シフトが生ずる。

【0037】

半導体変調素子 4 1, 4 2 は、電界吸収効果によって p n 接合に逆電圧が印加されると光吸収が生ずる。差動信号 S a, S b の電圧波形が逆相であるため、半導体変調素子 4 1, 4 2 を相互に極性反転して接続することにより、光を同相で変調することができる。半導体変調素子 4 1, 4 2 の動作点は、バイアス回路 B a, B b からの直流バイアス電圧を調整することによって別個に設定可能である。

【0038】

半導体変調素子 4 1, 4 2 の配置に関して、図 1 に示すように、入射光 L i が最初に半導体変調素子 4 1 を通過し、次に半導体変調素子 4 2 を通過するように設定される。そのため入射光 L i は、半導体変調素子 4 1 による強度変調と半導体変調素子 4 2 による強度変調の両方を受けることになり、出射光 L o において高い消光比を有する光変調波形が得られる。

【0039】

光は半導体変調素子 4 1 から半導体変調素子 4 2 に至るまでに一定の時間を要

する。そのため光伝搬の遅延に対応した電気遅延ライン 34 a を設けることによって、半導体変調素子 41, 42 の変調タイミングを一致させることができ、その結果、高い消光比で良好な光変調波形が得られる。

【0040】

例えば、差動信号 S_a , S_b として 40 Gbit/s の変調信号を供給した場合、入射光 L_i は半導体変調素子 41, 42 のダブル変調によって 40 Gbit/s の光変調信号となり、出射光 L_o として出力される。出射光 L_o は、例えば光ファイバ伝送路に送出され、高速で長距離の光通信を実現できる。

【0041】

図 5 は、半導体変調素子 41, 42 の実装状態を含めた等価回路図である。半導体変調素子 41, 42 は、半導体の内部抵抗 R_{ea} と $p-n$ 接合の静電容量 C_{ea} との直列回路で表される。また、半導体変調素子 41, 42 の入力側に配線インダクタンス L_{pi} 、その出力側に配線インダクタンス L_{po} 、その接地側に配線インダクタンス L_g がそれぞれ存在する。

【0042】

図 1 に示した実装状態では、伝送線路 32, 34 が分布定数線路で構成され、伝送線路 31, 33, 35 のグランド線路も十分に強化しており、しかも光変調集積素子 40 をフリップチップ実装していることから、入力側の配線インダクタンス L_{pi} および接地側に配線インダクタンス L_g は無視できる程度に小さい。接合容量 C_{ea} は、半導体変調素子 41, 42 の構造や形状によって決定され、一般に $C_{ea} = 0.1\text{ pF}$ 程度になる。

【0043】

出力側の配線インダクタンス L_{po} は、伝送線路 32, 34 の細パターン部分によるインダクタンス $32s$, $34s$ が支配的になり、接合容量 C_{ea} の補償を考慮すると、好ましくは 850 pH 程度に設定される。

【0044】

図 7 は、遮断周波数と出力側の配線インダクタンス L_{po} との関係の一例を示すグラフである。縦軸は半導体変調素子の変調遮断周波数 $[GHz]$ である。横軸は半導体変調素子の出力側の配線インダクタンス $L_{po} [pH]$ である。破線

は、2つの半導体変調素子を差動で駆動した差動駆動方式の場合を示す。実線は、比較例として単一の半導体変調素子を単相で駆動した場合（図10参照）を示す。

【0045】

グラフを見ると、実線は遮断周波数25～29GHzの範囲内であるのに対して、破線は35～41GHzという高い遮断周波数を示しており、差動駆動方式が格段に優れていることが判る。

【0046】

また、配線インダクタンス L_{po} に関して、250pHから増加するにつれて遮断周波数も高くなり、破線の差動駆動方式において850pH付近で遮断周波数は最も高くなる。これは、伝送線路32、34の細パターン化によって出力側の配線インダクタンス L_{po} が増加し、接合容量 C_{ea} による帯域低下を補償しているためである。

【0047】

光変調器の性能は、一般に遮断周波数と消光比によって評価される。この2つのパラメータは互いに相反し合うトレードオフの関係にある。光変調器の消光比を高くするには、半導体変調素子の光路長を長くする必要があるが、光路長が長くなると、接合容量 C_{ea} も増加して、遮断周波数は低下することになる。

【0048】

図8は、遮断周波数と半導体変調素子の吸収層長との関係の一例を示すグラフである。縦軸は半導体変調素子の変調遮断周波数[GHz]である。横軸は半導体変調素子における光吸収層の光路長[μm]である。破線は、差動駆動方式の場合を示す。実線は、比較例である単相駆動方式の場合（図10参照）を示す。なお、配線インダクタンス L_{po} は850pHに設定した。

【0049】

グラフを見ると、光吸収層の光路長が増加するほど、遮断周波数が低下していることが判る。また、実線の単相駆動方式と比べて、破線の差動駆動方式は遮断周波数が約10GHzほど改善していることが判る。例えば、光吸収層の光路長が約150μmの場合、40GHzという高い遮断周波数が得られている。

【0050】

図9は、配線インダクタンス $L_{po} = 0 \text{ pH}$ の場合の遮断周波数と半導体変調素子の吸収層長との関係の一例を示すグラフである。縦軸は半導体変調素子の変調遮断周波数 $[\text{GHz}]$ である。横軸は半導体変調素子における光吸収層の光路長 $[\mu\text{m}]$ である。破線は差動駆動方式の場合、実線は比較例である単相駆動方式の場合（図10参照）を示す。

【0051】

グラフを見ると、破線の差動駆動方式は実線の単相駆動方式と比べて大きな差異が現れていない。また、図8のグラフと比べると、配線インダクタンス L_{po} の効果は差動駆動方式において顕著に現れることが判る。

【0052】

図10は、単相駆動方式を用いた比較例1を示す回路図である。光変調器として半導体変調素子41だけを使用し、差動トランジスタ Q_a から出力される差動信号 S_a が供給される。差動トランジスタ Q_b から出力される差動信号 S_b は光変調に関与していない。

【0053】

図11は、単相駆動方式を用いた比較例2を示す回路図である。光変調器として半導体変調素子41だけを使用し、半導体変調素子41のカソード側に差動トランジスタ Q_a からの差動信号 S_a が供給され、半導体変調素子41のアノード側に差動トランジスタ Q_b からの差動信号 S_b が供給される。従って、半導体変調素子41の印加電圧は図10のものと比べて2倍になるが、半導体変調素子41に対して終端抵抗 R_1 、 R_2 が直列に配置されるため、例えば $R_1 = R_2 = 50 \Omega$ の場合、実効的な終端抵抗は 100Ω となり、インピーダンス不整合により変調周波数帯域が大きく低下してしまう。

【0054】

このように図5に示した半導体変調素子の等価回路において、入力側の配線インダクタンス L_{pi} はできる限り小さい方が好ましい。また、高い消光比が得られる差動駆動方式において、出力側の配線インダクタンス L_{po} は接合容量 C_{ea} との関係から、伝送線路のインダクタンスよりもある程度大きく設定すること

が好ましい。

【0055】

従って、光変調集積素子40のフリップチップ実装を採用することによって、光変調集積素子40の各電極と伝送線路基板30の各パッドとが直接に接合可能であるため、入力側の配線インダクタンス L_{pi} および接地側の配線インダクタンス L_g を極力小さくでき、遮断周波数の向上に寄与する。

【0056】

また、出力側の配線インダクタンス L_{po} については、伝送線路32, 34の細パターン化によってインダクタンス $32s$, $34s$ を形成することによって、接合容量 C_{ea} の補償が可能になるため、差動駆動方式での遮断周波数の向上に寄与する。

【0057】

さらに、半導体変調素子41をパターン幅が細いインダクタンス $32s$ の直上に近接し、半導体変調素子42をパターン幅が細いインダクタンス $34s$ の直上に近接して配置することによって、半導体変調素子41, 42と伝送線路32, 34との間の寄生容量の発生を抑制することができ、分布定数線路への影響を低減できる。

【0058】

図12は、 20 Gbit/s のRZ (Return to Zero)信号の光出力波形を示すグラフである。縦軸は経過時間 [psec] で、横軸は相対光出力である。破線は差動駆動方式の場合、実線は比較例である単相駆動方式の場合（図10参照）を示す。

【0059】

グラフを見ると、破線の差動駆動方式は実線の単相駆動方式と比べて、より急峻な光波形を示している。消光比については両者とも同程度である。

【0060】

このようなRZ信号の位相を 180 度ずらして時分割多重化すると、 40 Gbit/s のRZ信号が得られる。

【0061】

図13は、40 Gbit/sのRZ信号の光出力波形を示すグラフである。縦軸は経過時間 [psec] で、横軸は相対光出力である。破線は差動駆動方式の場合、実線は比較例である単相駆動方式の場合（図10参照）を示す。

【0062】

グラフを見ると、実線の単相駆動方式では消光比が3 dB程度しか得られていないが、破線の差動駆動方式では消光比が8 dB以上という良好な光出力波形が得られることが判る。

【0063】

実施の形態2.

図6は、本発明の第2実施形態を示す斜視図である。差動駆動型半導体光変調器は、チップキャリア10と、チップキャリア10の上に搭載された差動駆動回路20と、チップキャリア10の上に搭載された伝送線路基板30と、伝送線路基板30の上に搭載された光変調集積素子40と、電気信号の位相を180度反転させる位相反転素子50などで構成される。

【0064】

チップキャリア10、差動駆動回路20および伝送線路基板30は、図1と同様なものであり、重複説明を省く。

【0065】

光変調集積素子40は、半導体ウエハから切り出された直方体状のチップであり、同じ光軸に沿って直列的に配置された半導体変調素子41、42と、半導体変調素子41と半導体変調素子42を光学的に接続する光導波路43などで構成される。

【0066】

半導体変調素子41、42は、例えば量子閉じ込めシュタルク効果やフランツケルディッシュ効果を利用した電界吸収(EA)型光変調器として構成可能であり、その等価回路はpn接合ダイオードで表現される。

【0067】

本実施形態では、差動駆動回路20からの差動信号Sa、Sbのうち、伝送線路34を伝送する差動信号Sbについては位相反転素子50によって位相反転し

ており、半導体変調素子 41, 42 には同相の駆動信号が供給される。そのため、半導体変調素子 41, 42 も同じ極性となるように伝送線路 32, 34 に接続している。

【0068】

こうした位相反転素子 50 を伝送線路 32, 34 の少なくとも一方に設けることによって、半導体変調素子 41, 42 の変調タイミングを一致させることができ、その結果、高い消光比で良好な光変調波形が得られる。

【0069】

光変調集積素子 40 の上面には、半導体変調素子 41 のカソード電極 41f と、半導体変調素子 42 のカソード電極 42f とが独立して設けられる。光変調集積素子 40 の裏面には、半導体変調素子 41 および半導体変調素子 42 の各アノード電極が共通接続されたコモン電極（不図示）が 3箇所設けられ、伝送線路基板 30 の上に搭載された状態で各コモン電極は伝送線路 31, 33, 35 のパッド 31e, 33e, 35e と接合される。

【0070】

伝送線路基板 30 の伝送線路 32, 34 は、光変調集積素子 40 の前後で分断されており、4本のワイヤ 14 を用いて、入力側の伝送線路 32 とアノード電極 41f との接続、アノード電極 41f と出力側の伝送線路 32 との接続、入力側の伝送線路 34 とアノード電極 42f との接続、アノード電極 42f と出力側の伝送線路 34 との接続を行っている。

【0071】

こうしたワイヤボンディング接続を採用することによって、図 5 の等価回路に示したように、半導体変調素子 41, 42 について入力側の配線インダクタンス L_{pi} および出力側の配線インダクタンス L_{po} が制御可能になる。

【0072】

配線インダクタンス L_{pi} , L_{po} はワイヤ長に比例することから、光変調集積素子 40 のカソード電極 41f, 42f を光導波路 43 から入力側に配置し、好ましくは入力側の伝送線路 32, 34 にできる限り接近させることによって、入力側のワイヤ 14 は短くなって入力側の配線インダクタンス L_{pi} は小さくな

り、一方、出力側のワイヤ14は長くなって出力側の配線インダクタンス L_{po} は大きくなる。その結果、上述したように、半導体変調素子41、42の接合容量 C_{ea} による帯域低下を補償でき、差動駆動方式における遮断周波数を大幅に向上させることができる。

【0073】

接地側の配線インダクタンス L_g は、電極とパッドとのバンプ接合を採用しているため、無視できる程度に小さい。

【0074】

なお、各実施形態において、半導体変調素子41を光入射側に配置し、半導体変調素子42を光出射側に配置した場合、半導体変調素子41の光学損失によって、光の強度は半導体変調素子41より半導体変調素子42の方が低くなる。そのため光吸収に伴う光電流は、半導体変調素子41でより多く発生するようになり、差動駆動回路20の電流負荷がアンバランスになる。その対策として、光入射側に配置された半導体変調素子41の光路長を半導体変調素子42よりも短くすることによって、光電流の発生量の不均衡を解消することができ、差動駆動回路20の動作波形の劣化を防止できる。

【0075】

また以上の説明では、光軸に沿って直列配置された2つの半導体変調素子を差動信号で駆動する構成例を示したが、光軸に沿って3個以上の半導体変調素子を直列配置して差動駆動する構成も可能である。

【0076】

【発明の効果】

以上詳説したように、半導体変調素子の差動駆動方式において差動信号を伝送線路で伝送し、各半導体変調素子の出力側にインダクタンスを設けることによって、各半導体変調素子の接合容量による帯域低下を補償できるため、その結果、高い消光比で良好な光変調波形が得られ、変調周波数帯域を大幅に向上できる。

【図面の簡単な説明】

【図1】 本発明の第1実施形態を示す斜視図である。

【図2】 図1の光変調集積素子40を裏面から見た斜視図である。

【図 3】 図 1 の伝送線路基板 30 を示す斜視図である。

【図 4】 本発明の第 1 実施形態の電氣的構成を示す回路図である。

【図 5】 半導体変調素子 41, 42 の実装状態を含めた等価回路図である。

。

【図 6】 本発明の第 2 実施形態を示す斜視図である。

【図 7】 遮断周波数と出力側の配線インダクタンス L_{po} との関係の一例を示すグラフである。

【図 8】 遮断周波数と半導体変調素子の吸収層長との関係の一例を示すグラフである。

【図 9】 配線インダクタンス $L_{po} = 0 \text{ pH}$ の場合の遮断周波数と半導体変調素子の吸収層長との関係の一例を示すグラフである。

【図 10】 単相駆動方式を用いた比較例 1 を示す回路図である。

【図 11】 単相駆動方式を用いた比較例 2 を示す回路図である。

【図 12】 20 Gbit/s の RZ 信号の光出力波形を示すグラフである。

。

【図 13】 40 Gbit/s の RZ 信号の光出力波形を示すグラフである。

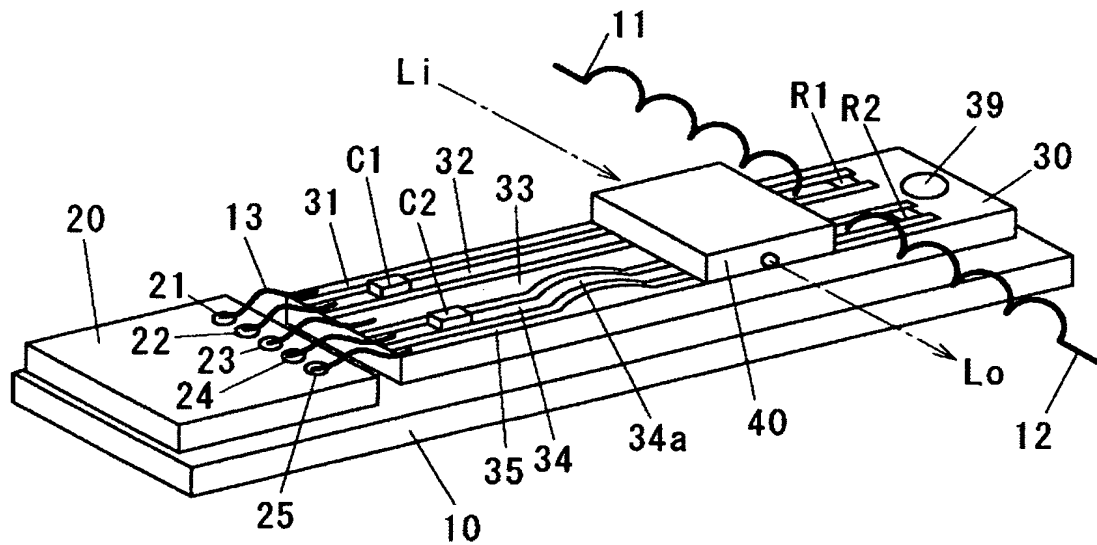
。

【符号の説明】

10 チップキャリア、 11~14 ワイヤ、 20 差動駆動回路、 21~25, 31e~35e パッド、 32s, 34s インダクタンス、 30 伝送線路基板、 31~35 伝送線路、 34a 電気遅延ライン、 39 スルーホール、 40 光変調集積素子、 41, 42 半導体変調素子、 41e, 42e, 41f, 42f, 45 電極、 43 光導波路、 50 位相反転素子、 C1, C2 コンデンサ、 R1, R2 終端抵抗。

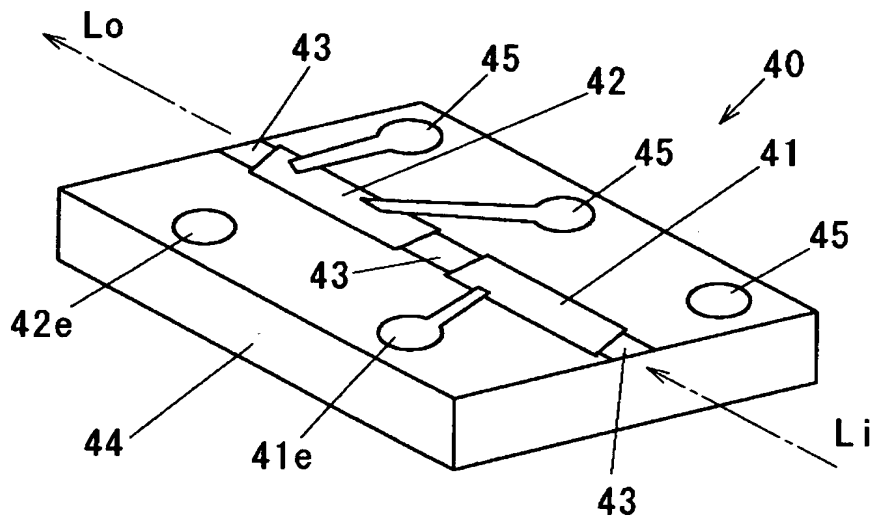
【書類名】 図面

【図 1】



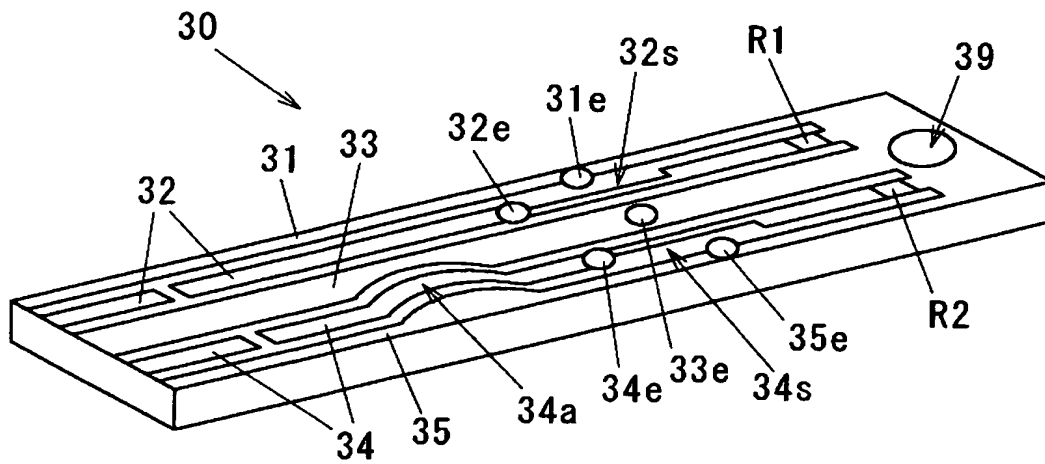
20: 差動駆動回路 21-25: パッド
 30: 伝送線路基板 31-35: 伝送線路 34a: 遅延ライン
 40: 光変調集積素子
 C1, C2: コンデンサ R1, R2: 終端抵抗

【図 2】



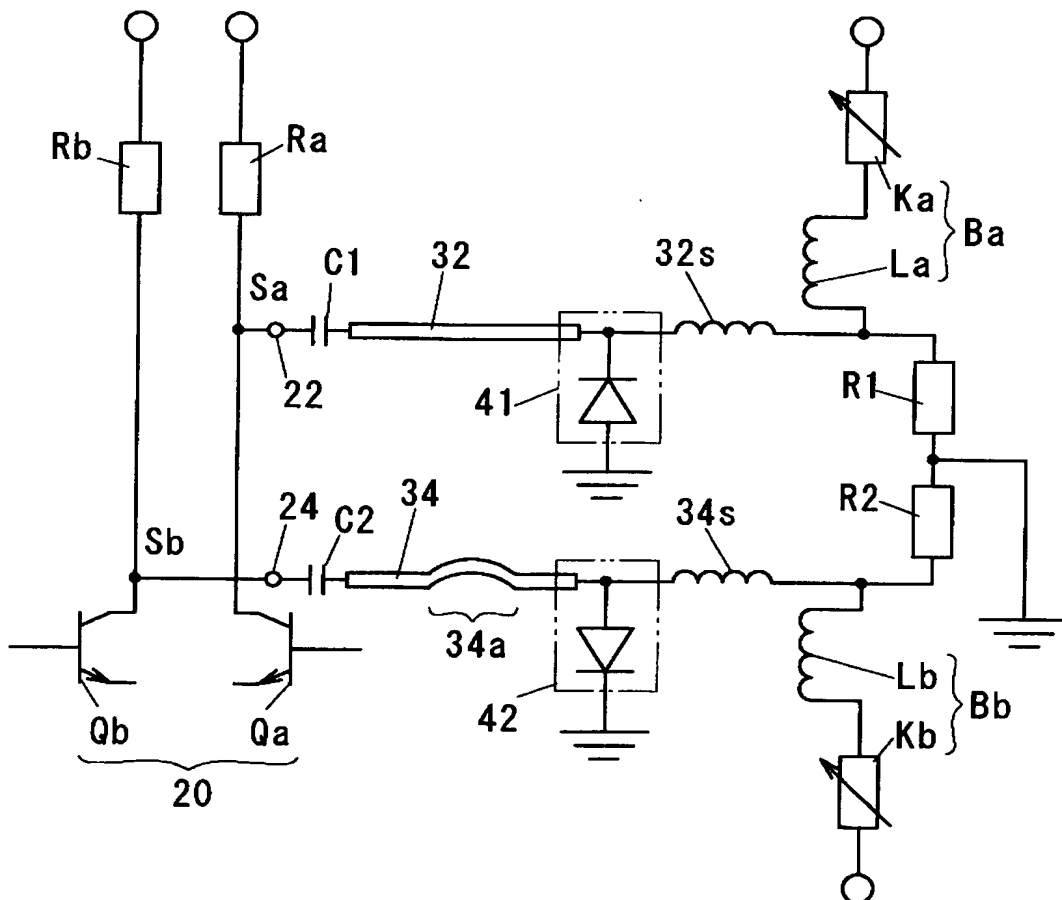
41, 42: 半導体変調素子 43: 光導波路
 41e, 42e, 45: 電極

【図 3】

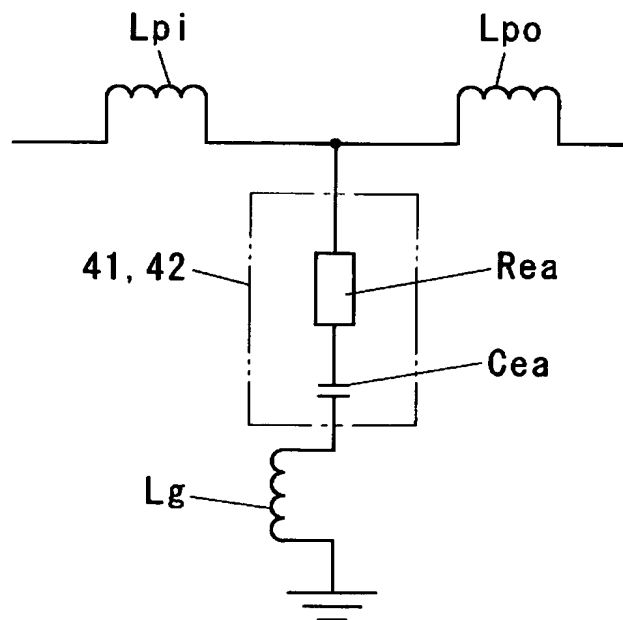


32s, 34s: インダクタンス
31e-35e: パッド

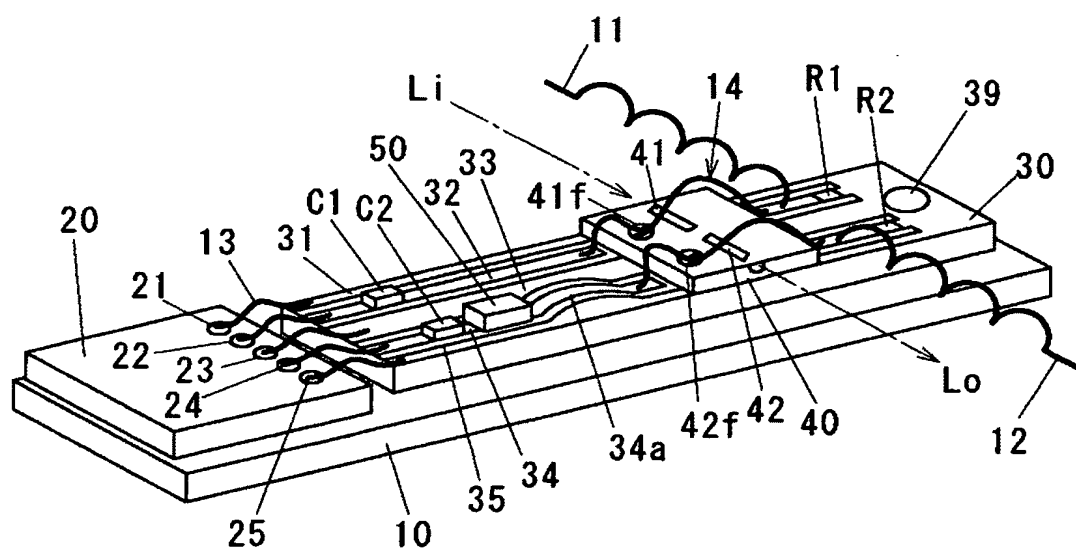
【図 4】



【図 5】

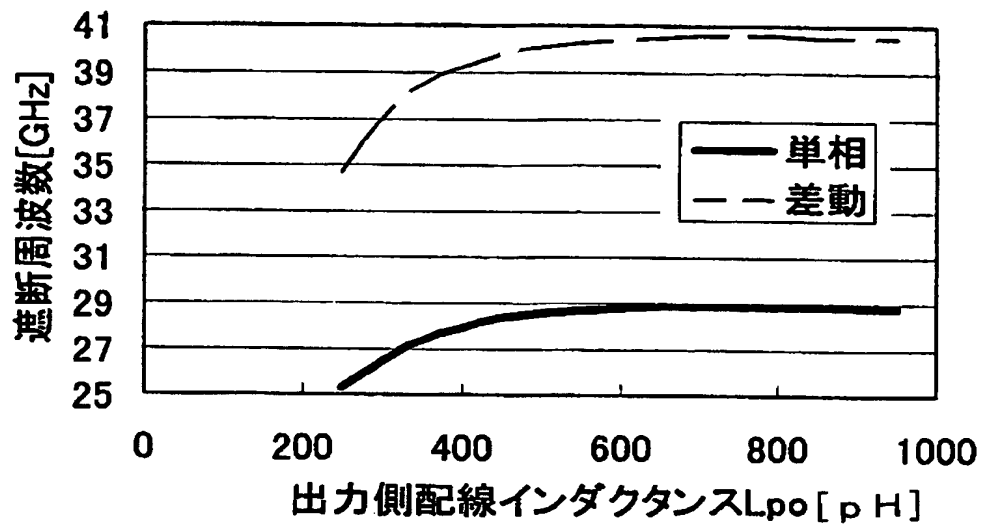


【図 6】

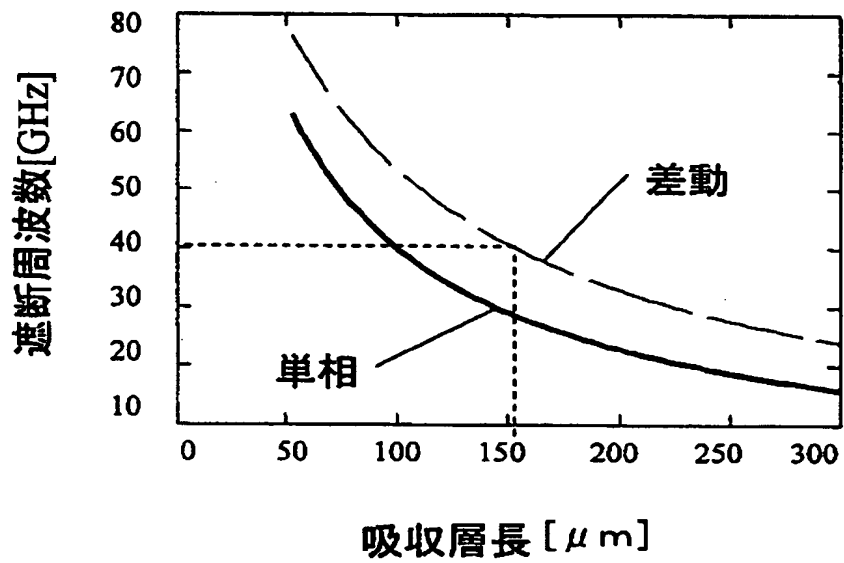


41f, 42f: 電極
50: 位相反転素子

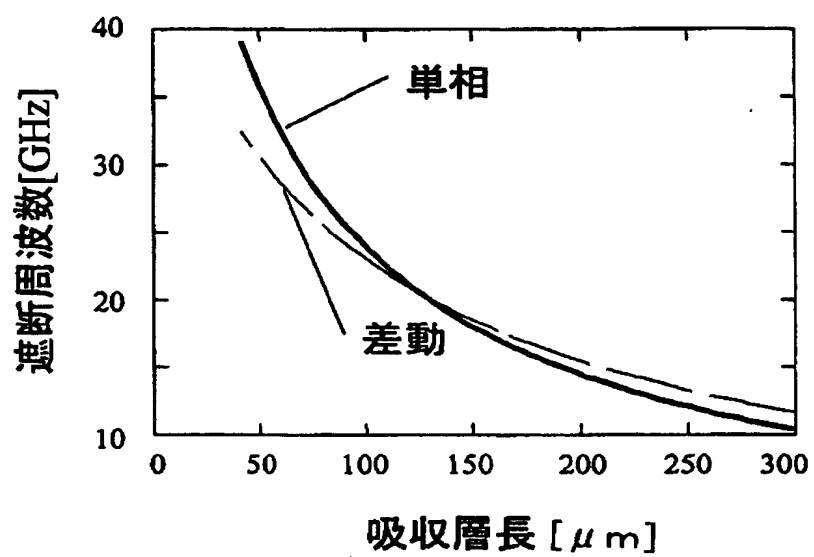
【図 7】



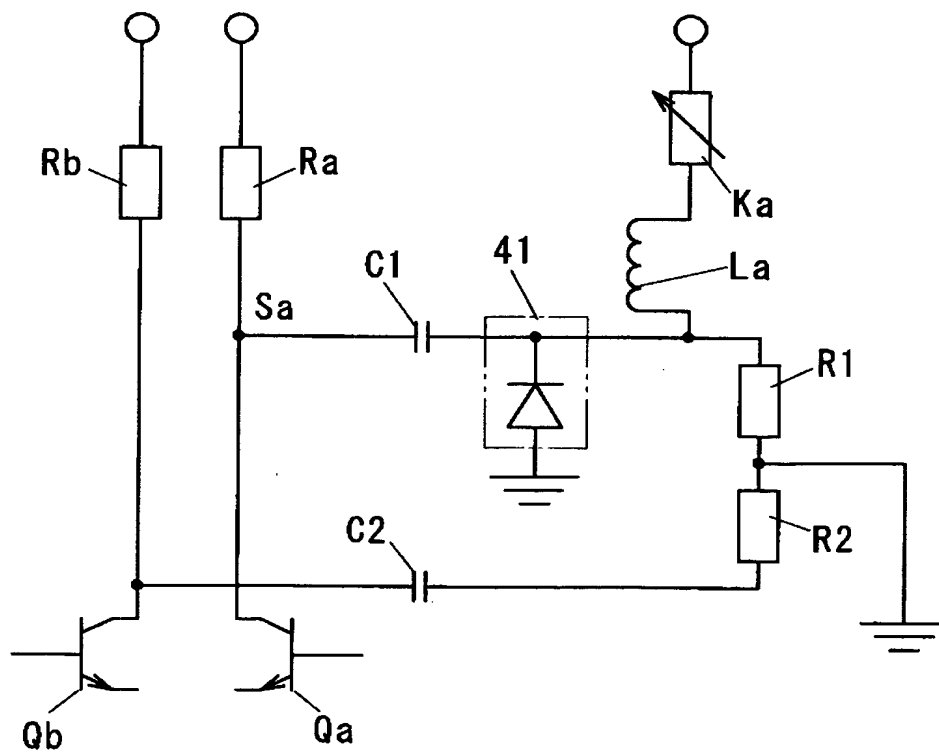
【図 8】



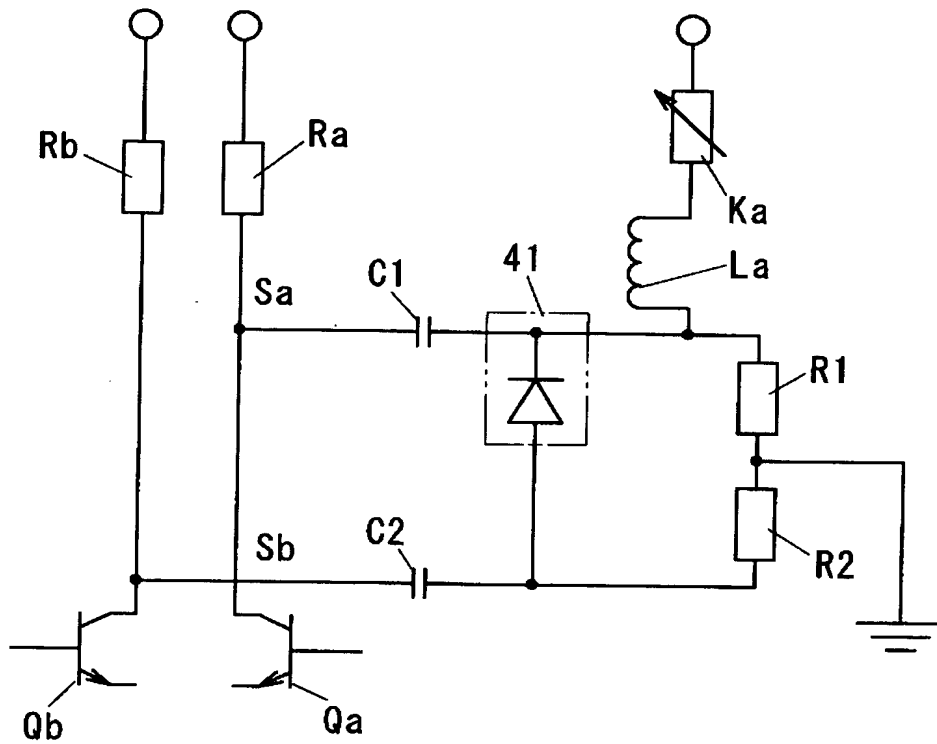
【図 9】



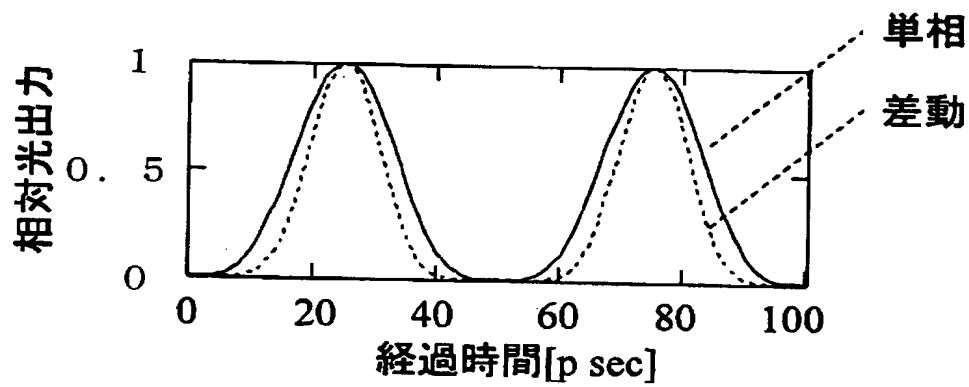
【図 10】



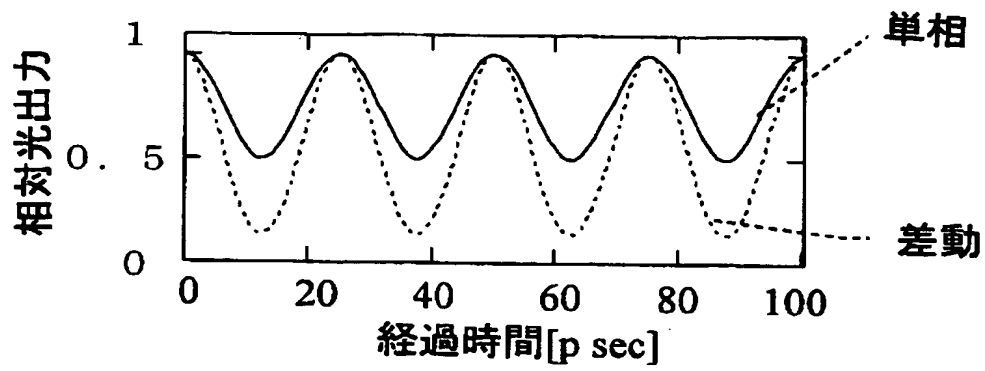
【図 11】



【図 12】



【図 13】



【書類名】 要約書

【要約】

【課題】 高い消光比で良好な光変調波形が得られ、変調周波数帯域を大幅に向上できる差動駆動型半導体光変調器を提供する。

【解決手段】 差動駆動型半導体光変調器は、一对の差動信号 S_a 、 S_b を出力する出力パッド 22、24 を有する差動駆動回路 20 と、出力パッド 22、24 に接続された伝送線路 32、34 およびグランド線路 31、33、35 を有する伝送線路基板 30 と、伝送線路基板 30 に搭載された半導体変調素子 41、42 などで構成され、半導体変調素子 41、42 は同じ光軸に沿って直列的に配置され、伝送線路基板 30 において伝送線路 32、34 の終端に接続された終端抵抗 R_1 、 R_2 と、半導体変調素子 41、42 と終端抵抗 R_1 、 R_2 との間にインダクタンス $32s$ 、 $34s$ とを設ける。

【選択図】 図 1

特願 2 0 0 3 - 1 0 7 6 8 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 6 0 1 3]

1 . 変 更 年 月 日

1 9 9 0 年 8 月 2 4 日

[変 更 理 由]

新 規 登 録

住 所

東 京 都 千 代 田 区 丸 の 内 2 丁 目 2 番 3 号

氏 名

三 菱 電 機 株 式 会 社